

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-203967

(P2003-203967A)

(43) 公開日 平成15年7月18日 (2003.7.18)

(51) Int.Cl. ¹	識別記号	F I	テ-マコード (参考)
H 0 1 L	21/76	H 0 1 L 27/08	3 3 1 E 5 F 0 3 2
	21/762	27/10	4 6 1 5 F 0 4 8
	21/8234	27/12	L 5 F 0 8 3
	21/8242	21/76	L
	27/08		E
	3 3 1		

審査請求 有 請求項の数18 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2001-401999(P2001-401999)

(22) 出願日 平成13年12月28日 (2001. 12. 28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 永野 元

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 山田 敬

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

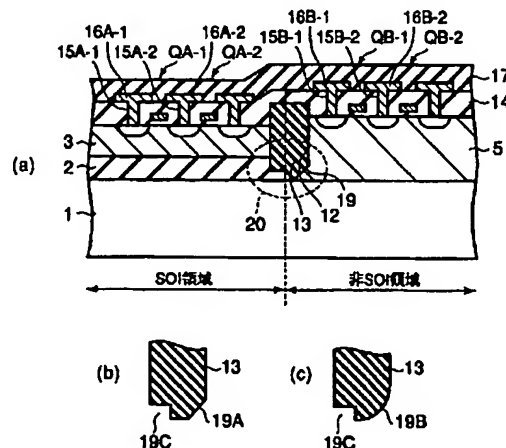
最終頁に続く

(54) 【発明の名称】 部分SOIウェーハの製造方法、半導体装置及びその製造方法

(57) 【要約】

【課題】部分SOIウェーハを用いた時に、高集積性を損なうことなく高速且つ高性能な半導体装置及びその製造方法を提供することを目的としている。

【解決手段】SOI基板における一部の領域のシリコン層3とBOX層2を選択的に除去し、この領域にエピタキシャルシリコン層5を形成して非SOI領域を形成する。上記SOI領域と非SOI領域との境界にトレンチ12を形成し、分離用絶縁物層13を埋め込んで部分SOIウェーハを形成する。この部分SOIウェーハのSOI領域と非SOI領域それぞれに素子を形成する。上記シリコンエピタキシャル層を形成する際、ファセットまたは空洞を利用して、分離用絶縁物層13の底面とエピタキシャルシリコン層の側面とのなす角を鈍角19A、または分離用絶縁物層の底面におけるエピタキシャルシリコン層との接合部近傍を曲面19Bにすることにより、応力の集中を抑制することを特徴とする。



【特許請求の範囲】

【請求項1】 埋め込み酸化物層が形成された第1の半導体領域と、前記埋め込み酸化物層が存在しない第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との境界に、少なくとも前記埋め込み酸化物層に達する深さまで形成されたトレンチと、前記トレンチに埋め込まれた分離用絶縁物層とを具備し、前記分離用絶縁物層の底面と前記第2の半導体領域の側面とのなす角が鈍角であることを特徴とする半導体装置。

【請求項2】 埋め込み酸化物層が形成された第1の半導体領域と、前記埋め込み酸化物層が存在しない第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との境界に、少なくとも前記埋め込み酸化物層に達する深さまで形成されたトレンチと、前記トレンチに埋め込まれた分離用絶縁物層とを具備し、前記分離用絶縁物層の底面における前記第2の半導体領域との接合部近傍が曲面であることを特徴とする半導体装置。

【請求項3】 前記分離用絶縁物層における前記第1の半導体領域近傍の底面と前記第1の半導体領域の側面とのなす角と、前記分離用絶縁物層における前記第2の半導体領域近傍の底面と前記第2の半導体領域の側面とのなす角が異なることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記第2の半導体領域は、エピタキシャルシリコン層であり、前記第2の半導体領域における前記分離用絶縁物層の底部との境界に、切子面を有することを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 前記分離用絶縁物層と前記第2の半導体領域との境界における前記第2の半導体領域中に空洞を有することを特徴とする請求項1または2に記載の半導体装置。

【請求項6】 前記第1の半導体領域はSOI領域であり、前記第2の半導体領域は非SOI領域であることを特徴とする請求項1または2に記載の半導体装置。

【請求項7】 前記第1の半導体領域に形成された第1の素子と、前記第2の半導体領域に形成された第2の素子とを更に具備することを特徴とする請求項1または2に記載の半導体装置。

【請求項8】 前記第1の素子はロジック回路を構成する素子であり、前記第2の素子は、メモリセルを構成する素子であることを特徴とする請求項7に記載の半導体装置。

【請求項9】 半導体基板上に埋め込み酸化物層を介在して第1のシリコン層が形成されたSOI基板における、前記第1のシリコン層及び前記埋め込み酸化物層の一部の領域を選択的に除去する工程と、残存されている前記第1のシリコン層を覆うように保護膜を形成する工程と、

前記第1のシリコン層及び前記埋め込み酸化物層を除去した領域の前記半導体基板上に、エピタキシャル成長により第2のシリコン層を形成する工程と、

10 異方性エッチングを行って、前記第1のシリコン層と前記第2のシリコン層との境界に、少なくとも前記埋め込み酸化物層に達し、底面と前記第2のシリコン層の側面とのなす角が鈍角、または底面における前記第2のシリコン層との接合部近傍が曲面のトレンチを形成する工程と、

前記トレンチ内に分離用絶縁物を埋め込む工程とを具備することを特徴とする部分SOIウェーハの製造方法。

【請求項10】 前記第2のシリコン層を形成する工程において、エピタキシャル成長の条件は、前記第2のシリコン層の表面領域における埋め込み酸化物層との接合部近傍にファセットを形成する条件であることを特徴とする請求項9に記載の部分SOIウェーハの製造方法。

【請求項11】 前記第2のシリコン層を形成する工程において、エピタキシャル成長の条件は、前記保護膜と前記埋め込み酸化物層との接合部近傍に空洞を生成する条件であることを特徴とする請求項9に記載の部分SOIウェーハの製造方法。

【請求項12】 前記第2のシリコン層を形成する工程において、エピタキシャル成長の条件は、前記第2のシリコン層の表面領域における埋め込み酸化物層との接合部近傍にファセットを形成し、且つ前記保護膜と前記埋め込み酸化物層との接合部近傍に空洞を生成する条件であることを特徴とする請求項9に記載の部分SOIウェーハの製造方法。

【請求項13】 前記トレンチを形成するための異方性エッチングは、前記第1のシリコン層、前記保護膜、前記埋め込み酸化物層及び前記第2のシリコン層を実質的に等しいレートでエッチングする条件であることを特徴とする請求項9乃至12いずれか1つの項に記載の部分SOIウェーハの製造方法。

【請求項14】 半導体基板上に埋め込み酸化物層を介在して第1のシリコン層が形成されたSOI基板における、前記第1のシリコン層及び前記埋め込み酸化物層の一部の領域を選択的に除去する工程と、残存されている前記第1のシリコン層を覆うように保護膜を形成する工程と、

前記第1のシリコン層及び前記埋め込み酸化物層を除去した領域の前記半導体基板上に、エピタキシャル成長により第2のシリコン層を形成する工程と、

50 前記第1のシリコン層と前記第2のシリコン層との境界

に、少なくとも前記埋め込み酸化物層に達するトレンチを形成する工程と、
前記トレンチ内に分離用絶縁物を埋め込む工程と、
前記第1、第2のシリコン層中に、それぞれ第1、第2の素子を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項15】 前記第2のシリコン層を形成する工程において、エピタキシャル成長の条件は、前記第2のシリコン層の表面領域における埋め込み酸化物層との接合部近傍にファセットを形成する条件であることを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 前記第2のシリコン層を形成する工程において、エピタキシャル成長の条件は、前記保護膜と前記埋め込み酸化物層との接合部近傍に空洞を生成する条件であることを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項17】 前記第2のシリコン層を形成する工程において、エピタキシャル成長の条件は、前記第2のシリコン層の表面領域における埋め込み酸化物層との接合部近傍にファセットを形成し、且つ前記保護膜と前記埋め込み酸化物層との接合部近傍に空洞を生成する条件であることを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項18】 前記トレンチを形成するための異方性エッチングは、前記第1のシリコン層、前記保護膜、前記埋め込み酸化物層及び前記第2のシリコン層を実質的に等しいレートでエッチングする条件であることを特徴とする請求項14乃至17いずれか1つの項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、部分SOIウェーハの製造方法、半導体装置及びその製造方法に関し、更に詳しくは、SOI (Silicon On Insulator) 基板における一部の領域のシリコン層とBOX (Buried Oxide) 層を選択的に除去することにより、非SOI領域を形成した部分SOIウェーハの製造方法、上記部分SOIウェーハのSOI領域と非SOI領域それぞれに素子を形成した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】1つのMOSFETと1つのキャパシタとからなるメモリセルを有するDRAMは、高集積化に適しており、安価な大容量メモリとして広範な用途に用いられている。特に近年は、上記DRAMとロジック回路とを単一の半導体チップ中に集積してシステム性能を向上するシステムLSIへの要求が高まっている。

【0003】一方、MOSFETを中心に構成するロジック回路の高性能化を図るために、従来から広く用いられているシリコン基板ではなく、薄膜SOI基板中にMOSFETを形成した構造が脚光を浴び、既に高性能ロ

ジックデバイスとしての用途に製品化が始まっている。

【0004】特に、高性能ロジック回路とDRAMを混載したシステムLSIの需要は大きく、SOI構造を用いて高性能化したロジック回路にDRAMを混載する技術の確立が望まれている。このような流れの中で、SOI構造による高性能ロジックチップに、DRAMを混載させたシステムLSIの開発が急務となっている。

【0005】上記のような要求を満たすために、SOI領域と非SOI領域 (SOI基板のBOX層を部分的に除去した領域) を併せ持つ部分SOIウェーハ上に、これらの素子を選択的に混載することが考えられている。

【0006】しかしながら、SOI基板に形成したMOSFETは、高性能ロジックデバイスとしては有望であるが、いわゆる基板浮遊効果のため、オフ状態となるべきゲート電圧であっても、ソースドレイン間電圧の条件によっては寄生MOSFETや寄生バイポーラトランジスタが動作してしまい、ソースドレイン間にリーク電流が流れることが知られている。このような特性は、例えばDRAMのメモリセル用トランジスタのように、リーク電流に対するスベックが厳しい用途にはリテンションの劣化等の問題を引き起こし好ましくない。また、DRAMのセンスアンプ回路では、基板浮遊効果によってベアトランジスタのしきい値電圧がずれるため、センスマージンも低下する。これらの問題により、SOI基板に高性能ロジック回路と同様なMOSFET構造でDRAMを形成するのは困難である。

【0007】基板浮遊効果を根本から解決するためには、各MOSFETに対して、ボディ部からの引き出し領域とコンタクトを設けてボディ電位を制御する必要がある。しかし、そのためにはセル面積やセンスアンプ部の面積などが大幅に増大してしまい、DRAMの最大の特長である高集積性を損なってしまう。

【0008】この問題を回避するために、SOI基板に非SOI領域を設けた基板 (以下部分SOIウェーハと称する) を用いることにより、高性能ロジック回路をSOI領域に形成し、基板浮遊効果によって悪影響を受ける回路を非SOI領域に形成する方法が種々提案されている。この部分SOIウェーハのSOI領域と非SOI領域間のSTI (Shallow Trench Isolation) による分離技術については、BOX層の深さとSTIの深さに着目した提案 (例えば特開平8-17694号) がなされているものの、BOX層とSTIの接続構造については、詳述されていない。

【0009】シリコンバルクウェーハで形成したチップに存在する酸化物のボリュームは、ゲート酸化膜を除けばSTIにおける埋め込み酸化物のみであるため、シリコンのボリュームと比較すると非常に少ない。これに対し、部分SOIウェーハにおける酸化物のボリュームは、「BOX層+STI」となり、バルクウェーハのそれと比較すると桁違いに多く、その分シリコン層にかか

る応力は大きくなり、非SOI領域に結晶欠陥が入り易い。また、特にBOX層とSTIが連続している場合には、STIが大きなボリュームを持つ酸化物の端となるため、非SOI領域に結晶欠陥が入り易く、その形状に注意を払わないと高品質な部分SOIウェーハを得ることは難しい。

【0010】

【発明が解決しようとする課題】上記のように従来の部分SOIウェーハの製造方法は、SOI領域と非SOI領域との酸化物のボリュームの相違による応力の集中によって、非SOI領域に結晶欠陥が入り易く、品質が低下する、という問題があった。

【0011】また、部分SOIウェーハを用いた従来の半導体装置及びその製造方法は、高速化や高性能化を図ろうとすると、高集積性が低下する、という問題があった。

【0012】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、非SOI領域に結晶欠陥が入り難い高品質な部分SOIウェーハの製造方法を提供することにある。

【0013】また、部分SOIウェーハを用いた時に、高集積性を損なうことなく高速且つ高性能な半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】この発明の半導体装置は、埋め込み酸化物層が形成された第1の半導体領域と、前記埋め込み酸化物層が存在しない第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との境界に、少なくとも前記埋め込み酸化物層に達する深さまで形成されたトレンチと、前記トレンチに埋め込まれた分離用絶縁物層とを具備し、前記分離用絶縁物層の底面と前記第2の半導体領域の側面とのなす角が鈍角であることを特徴としている。

【0015】また、この発明の半導体装置は、埋め込み酸化物層が形成された第1の半導体領域と、前記埋め込み酸化物層が存在しない第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との境界に、少なくとも前記埋め込み酸化物層に達する深さまで形成されたトレンチと、前記トレンチに埋め込まれた分離用絶縁物層とを具備し、前記分離用絶縁物層の底面における前記第2の半導体領域との接合部近傍が曲面であることを特徴としている。

【0016】更に、この発明の部分SOIウェーハの製造方法は、半導体基板上に埋め込み酸化物層を介して第1のシリコン層が形成されたSOI基板における、前記第1のシリコン層及び前記埋め込み酸化物層の一部の領域を選択的に除去する工程と、残存されている前記第1のシリコン層を覆うように保護膜を形成する工程と、前記第1のシリコン層及び前記埋め込み酸化物層を除去した領域の前記半導体基板上に、エピタキシャル成長に

より第2のシリコン層を形成する工程と、異方性エッチングを行って、前記第1のシリコン層と前記第2のシリコン層との境界に、少なくとも前記埋め込み酸化物層に達し、底面と前記第2のシリコン層の側面とのなす角が鈍角、または底面における前記第2のシリコン層との接合部近傍が曲面のトレンチを形成する工程と、前記トレンチ内に分離用絶縁物を埋め込む工程とを具備することを特徴としている。

【0017】この発明の半導体装置の製造方法は、半導体基板上に埋め込み酸化物層を介して第1のシリコン層が形成されたSOI基板における、前記第1のシリコン層及び前記埋め込み酸化物層の一部の領域を選択的に除去する工程と、残存されている前記第1のシリコン層を覆うように保護膜を形成する工程と、前記第1のシリコン層及び前記埋め込み酸化物層を除去した領域の前記半導体基板上に、エピタキシャル成長により第2のシリコン層を形成する工程と、前記第1のシリコン層と前記第2のシリコン層との境界に、少なくとも前記埋め込み酸化物層に達するトレンチを形成する工程と、前記トレンチ内に分離用絶縁物を埋め込む工程と、前記第1、第2のシリコン層中に、それぞれ第1、第2の素子を形成する工程とを具備することを特徴としている。

【0018】上記のような構成によれば、分離用絶縁物層の底面と第2の半導体領域（非SOI領域）の側面とがなめらかに接合されているので、応力集中により第2の半導体領域中に結晶欠陥が入るのを抑制できる。しかも、ボディ電位を制御する必要がないので、高集積性を損なうことなく高速且つ高性能な半導体装置を提供できる。

【0019】また、上記のような製造方法によれば、ファセットまたは空洞を利用して分離用絶縁物層の底面と第2のシリコン層（非SOI領域）の側面とがなめらかに接合できるので、応力集中により第2のシリコン層中に結晶欠陥が入るのを抑制できる。この結果、非SOI領域に結晶欠陥が入り難いので、高品質な部分SOIウェーハの製造方法を提供できる。更に、ボディ電位を制御する必要がないので、高集積性を損なうことなく高速且つ高性能な半導体装置の製造方法を提供できる。

【0020】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【第1の実施の形態】図1は、この発明の第1の実施の形態に係る半導体装置について説明するためのもので、

(a)図はSOI領域と非SOI領域との境界のSTI領域を示す断面構成図、(b)図及び(c)図は(a)図に破線20で示すSTI領域の下部の拡大図である。シリコン基板1におけるSOI領域上には埋め込み酸化物層(BOX層)2が設けられ、このBOX層2上にシリコン層3が形成されている。一方、上記シリコン基板1における非SOI領域上には、エピタキシャルシリコ

ン層5が形成されている。上記SOI領域と非SOI領域との境界には、素子分離用のトレンチ12がシリコン基板1に達する深さまで形成されており、このトレンチ12が分離用絶縁物層(STI素子分離膜)13で埋め込まれている。上記分離用絶縁物層13の底面は、シリコン基板1に接しており、エピタキシャルシリコン層5の上記分離用絶縁物層13近傍に形成された切子面19によって、図1(b)に示すように、上記分離用絶縁物層13の底面とエピタキシャルシリコン層5の側面とのなす角は鈍角(19A)になっている。あるいは図1(c)に示すように、分離用絶縁物層13の底面におけるエピタキシャルシリコン層5との接合部近傍が曲面19Bになっている。これに対し、上記分離用絶縁物層13のBOX層2側は、BOX層2の下部の突出部が噛み合わされ、鋭角(19C)になっている。

【0021】上記シリコン層3中には、例えばロジック回路を構成するMOSFET QA1, QA2, ...が形成され、上記エピタキシャルシリコン層5中にはDRAMのメモリセルやセンスアンプ回路を構成するMOSFET QB1, QB2, ...等の素子が形成されている。上記シリコン層3、エピタキシャルシリコン層5及び分離用絶縁物層13上には、層間絶縁膜14が形成されている。この層間絶縁膜14における上記MOSFET QA1, QA2, ..., QB1, QB2, ...のソース、ドレイン領域上に対応する位置には、それぞれコンタクトホール15A-1, 15A-2, ..., 15B-1, 15B-2, ...が形成されている。上記層間絶縁膜14上には、配線層16A-1, 16A-2, ..., 16B-1, 16B-2, ...が形成され、上記コンタクトホール15A-1, 15A-2, ..., 15B-1, 15B-2, ...をそれぞれ介して各MOSFET QA1, QA2, ..., QB1, QB2, ...のソース、ドレイン領域に接続されている。そして、上記配線層16A-1, 16A-2, ..., 16B-1, 16B-2, ...及び層間絶縁膜14上には、表面保護膜17が形成されている。

【0022】上記のような構成によれば、分離用絶縁物層13の底面と非SOI領域の側面とが図1(b)に示したように鈍角、または図1(c)に示したように曲面を持ってなめらかに接合されているので、酸化膜とシリコンとの境界部への応力集中によりシリコンエピタキシャル層5中に結晶欠陥が入るのを抑制でき、高品質な部分SOIウェーハを提供できる。すなわち、SOI領域のみ若しくは非SOI領域のみのウェーハに形成する素子分離では問題にならないが、SOI領域と非SOI領域との境界を有するウェーハに発生する結晶欠陥を抑制できる。何故なら、SOI領域における酸化物のボリュームが非SOI領域より多く、エピタキシャルシリコン層5にかかる応力が大きくても、上記なめらかな接合部(19Aまたは19B)によって応力の集中が抑制されるからである。一方、SOI領域は、直角部(鋭角部)

19Cが存在し、この直角部19Cを起点にして結晶欠陥が発生したとしても、SOI領域のシリコン基板1に欠陥が入る分には、SOI領域上あるいは非SOI領域の素子に対して影響を与えないので問題はない。

【0023】また、ボディ電位を制御する必要がないので、セル面積やセンスアンプ部の面積などが増大することはない。よって、部分SOIウェーハを用いても、高集積性を損なうことなく高速且つ高性能な半導体装置を形成できる。

10 【0024】次に、上記図1に示した部分SOIウェーハ及び半導体装置の製造方法を図2乃至図8により説明する。

【0025】まず、シリコン基板1上にBOX層となる酸化物層2を形成し、この酸化物層2上にシリコン層3を形成してSOIウェーハを形成する。あるいは、張り合わせ法により、シリコン基板1、BOX層2、シリコン層3を積層してSOIウェーハを形成する。

20 【0026】次に、図2に示すように、上記SOIウェーハにおける非SOI領域のシリコン層3をRIE等の異方性エッチングにより除去した後、BOX層2の一部を溶液による等方性エッチングで除去する。ここで、上記BOX層2の一部の除去には、等方性エッチングに代えてRIE等の異方性エッチングを用いることもできる。

【0027】その後、上記シリコン層3を覆うように保護膜4としての窒化シリコン層を形成する。ここでは保護膜4に窒化シリコンを用いているが、酸化シリコンでも同様である。

30 【0028】次に、非SOI領域上に残存されているBOX層2の一部をエッチングして除去する(図3参照)。なお、このエッチングにはイオンによるエッチングではなく、溶液などを用いたウェットエッチングを用いている。ウェットエッチングを用いることにより、シリコン基板1の非SOI領域の表面にイオンによるダメージが入るのを防止することができる。

40 【0029】引き続き、図4に示すように、非SOI領域のシリコン基板1上にエピタキシャルシリコン層5を形成する。SOI領域上には保護膜4が形成されているので、エピタキシャルシリコン層5は形成されない。この際、エピタキシャルシリコン層5の表面領域におけるSOI領域との境界近傍にファセット10を形成する条件下でエピタキシャル成長を行う。例えば、エピタキシャルシリコン層5を10 Torrで成長させることにより、ファセット10を形成できる。また、エピタキシャル成長の時間を調節することにより、エピタキシャルシリコン層5の表面の高さをSOI領域の表面と同じにしたり、違う高さにしたり、任意に調節できる。このエピタキシャルシリコン層5の表面の高さは、必要に応じて自由に設定すれば良い。

50 【0030】その後、図5に示すように、上記保護膜4

上及びエピタキシャルシリコン層5上にマスク材6を堆積形成する。本実施の形態においては、上記マスク材6には窒化シリコン層を用いており、上記保護膜4と一体化して表現している。

【0031】次に、STIを形成する領域以外をフォトマスク18で覆い、まずマスク材6としての窒化シリコン層の一部を除去する。この際、窒化シリコン層をオーバーエッチングし、エピタキシャルシリコン層5のファセット10を露出させる(図6参照)。

【0032】引き続き、図7に示すように、素子分離用のトレンチ12を形成するために、SOI領域と非SOI領域との境界近傍の保護膜4(SiN)、シリコン層3、エピタキシャルシリコン層5(Si)及びBOX層2(SiO₂)をRIE等の方法でドライエッチングする。このエッチングには、SiN、SiO₂及びSiが実質的に等しいレートでエッチングできる条件を用いた。トレンチ12の深さはエッチング時間により変わるが、いずれの深さの場合でも、上記ファセット10によって少なくともトレンチ12の非SOI領域側では、90°以上の角度(鈍角)で底面と側面が接合しているようなトレンチ12を形成することができる。エッチングの条件によっては、トレンチ12の底面における非SOI領域の接合部近傍が曲面になる。上記トレンチ12は、少なくともBOX層2に達する深さであれば良く、シリコン基板1中にまで形成しても良い。

【0033】次に、図8に示すように、上記トレンチ12を分離用絶縁物層13で埋め込むことによりSTI構造の素子分離領域を形成する。

【0034】その後、上記シリコン層3及びエピタキシャルシリコン層5上のマスク材(窒化シリコン層)6を除去し、周知の工程により上記シリコン層3中にロジック回路を構成するMOSFET QA1、QA2、…、上記エピタキシャルシリコン層5中にはDRAMのメモリセルやセンスアンプ回路を構成するMOSFET QB1、QB2、…等の素子を形成し、図1に示したような半導体装置を形成する。

【0035】ここで、上記MOSFET QA1、QA2、…とMOSFET QB1、QB2、…は、別の工程で形成しても良いし、一部または全部の工程を共通に形成しても良い。

【0036】上記のような製造方法によれば、ファセット10を利用してSTI素子分離膜13の下端とエピタキシャルシリコン層5をなめらかに接合できるので、酸化膜とシリコンとの境界部への応力集中によりシリコンエピタキシャル層5中に結晶欠陥が入るのを抑制できる。この結果、非SOI領域に結晶欠陥が入り難いので、高品質な部分SOIウェーハの製造方法を提供できる。更に、ボディ電位を制御する必要がないので、セル面積やセンスアンプ部の面積などが増大することはない。よって、部分SOIウェーハを用いた時に、高集積

性を損なうことなく高速且つ高性能な半導体装置の製造方法を提供できる。

【0037】[第2の実施の形態]図9は、この発明の第2の実施の形態に係る半導体装置について説明するためのもので、(a)図はSOI領域と非SOI領域との境界のSTI領域を示す断面構成図、(b)図及び

(c)図は(a)図に破線21で示すSTI領域の下部の拡大図である。本第2の実施の形態は、基本的には第1の実施の形態と同様な構成であるので、図1と同一部分には同じ符号を付してその詳細な説明は省略する。

【0038】本第2の実施の形態では、第1の実施の形態と同様に、非SOI領域を形成する際、シリコン層及びBOX層を部分的に除去し、シリコン基板の非SOI領域上にシリコンをエピタキシャル成長させる。この際、エピタキシャルシリコン層とSOI領域の境界に空洞を形成し、この空洞を利用して、図9(b)に示すように分離用絶縁物層13の底面とエピタキシャルシリコン層5の側面とのなす角が鈍角19A、または図9

(c)に示すように分離用絶縁物層13の底面におけるエピタキシャルシリコン層5との接合部近傍を曲面19Bを持ってなめらかに接合する。

【0039】すなわち、シリコン基板1上にBOX層となる酸化物層2を形成し、この酸化物層2上にシリコン層3を形成してSOIウェーハを形成する。あるいは、張り合わせ法により、シリコン基板1、BOX層2、シリコン層3を積層してSOIウェーハを形成する。

【0040】次に、図10に示すように、上記SOIウェーハにおける非SOI領域のシリコン層3をRIE等の異方性エッチングにより除去した後、BOX層2の一部を溶液による等方性エッチングで除去する。もちろん、上記BOX層2の一部の除去には、等方性エッチングに代えてRIE等の異方性エッチングを用いることもできる。

【0041】その後、上記シリコン層3を覆うように、窒化シリコン等からなる保護膜4を形成する。ここでは保護膜4に窒化シリコンを用いているが、酸化シリコンでも良い。

【0042】次に、非SOI領域上に残存されているBOX層2の一部をエッチングして除去する(図11参照)。なお、このエッチングにはイオンによるエッチングではなく、溶液などを用いたウェットエッチングを用いている。ウェットエッチングを用いることにより、シリコン基板1の非SOI領域の表面にイオンによるダメージが入るのを防止することができる。また、エッチング時間を第1の実施の形態より長くし、横方向のエッチングを進行させる。

【0043】引き続き、図12に示すように、非SOI領域のシリコン基板1上にエピタキシャルシリコン層5を形成する。SOI領域上には保護膜4が形成されているので、エピタキシャルシリコン層5は形成されない。

この際、エビタキシャルシリコン層5の成長端ではファセットが形成され、ファセットの表面が保護膜4の側壁の内側にあるファセット部分は空洞11として残る。勿論、第1の実施の形態と同様に、エビタキシャル成長の時間を調節することにより、エビタキシャルシリコン層5の表面の高さをSOI領域の表面と同じにしたり、違う高さにしたり、任意に調節できる。よって、エビタキシャルシリコン層5の表面の高さは、必要に応じて自由に設定すれば良い。

【0044】その後、図13に示すように、上記保護膜4上及びエビタキシャルシリコン層5上にマスク材6を堆積形成する。本実施の形態においては、上記マスク材6には窒化シリコン層を用いており、上記保護膜4と一体化して表現している。

【0045】次に、STIを形成する領域以外をフォトマスク18で覆い（図14参照）、まずマスク材6としての窒化シリコン層の一部を除去する（図15参照）。

【0046】図16に示すように、素子分離用のトレンチ12を形成するために、SOI領域と非SOI領域との境界近傍の保護膜4（SiN）、シリコン層3、エビタキシャルシリコン層5（Si）及びBOX層2（SiO₂）をRIE等の方法でドライエッチングする。このエッチングには、SiN、SiO₂及びSiが実質的に等しいレートでエッチングできる条件を用いた。トレンチ12の深さはエッチング時間により変わるが、いずれの深さの場合でも、空洞11の存在によって少なくともトレンチ12の非SOI領域側では、90°以上の角度（鈍角19A）で底面と側面が接合しているようなトレンチ12を形成することができる。エッチングの条件によっては、トレンチ12の底面における非SOI領域の接合部近傍が曲面19Bになる。上記トレンチ12は、少なくともBOX層2に達する深さであれば良く、シリコン基板1中に形成しても良い。

【0047】次に、図17に示すように、上記トレンチ12を分離用絶縁物層13で埋め込んでSTI構造の素子分離領域を形成する。

【0048】その後、上記シリコン層3及びエビタキシャルシリコン層5上のマスク材6を除去し、周知の工程により上記シリコン層3中にロジック回路を構成するMOSFET QA1、QA2、…、上記エビタキシャルシリコン層5中にはDRAMのメモリセルやセンスアンプ回路を構成するMOSFET QB1、QB2、…等の素子を形成し、図9に示したような半導体装置を形成する。

【0049】上記MOSFET QA1、QA2、…とMOSFET QB1、QB2、…は、別の工程で形成しても良いし、一部または全部の工程を共通に形成しても良い。

【0050】上記のような製造方法によれば、空洞11を利用してSTI素子分離膜13の下端とエビタキシャ

ルシリコン層5をなめらかに接合できるので、酸化膜とシリコンとの境界部への応力集中によりシリコンエビタキシャル層5中に結晶欠陥が入るのを抑制できる。この結果、非SOI領域に結晶欠陥が入り難いので、高品質な部分SOIウェーハの製造方法を提供できる。しかも、ボディ電位を制御する必要がないので、セル面積やセンスアンプ部の面積などが増大することはない。よって、部分SOIウェーハを用いた時に、高集積性を損なうことなく高速且つ高性能な半導体装置の製造方法を提供できる。

【0051】【第3の実施の形態】図18は、この発明の第3の実施の形態に係る半導体装置について説明するためのもので、(a)図はSOI領域と非SOI領域との境界のSTI領域を示す断面構成図、(b)図及び(c)図は(a)図に破線22で示すSTI領域の下部の拡大図である。本第3の実施の形態は、基本的には第1及び第2の実施の形態と同様な構成であるので、図1または図9と同一部分には同じ符号を付してその詳細な説明は省略する。

【0052】本第3の実施の形態は、前述した第1、第2の実施の形態を組み合わせたもので、非SOI領域を形成する際、シリコン層及びBOX層を部分的に除去し、シリコン基板の非SOI領域上にシリコンをエビタキシャル成長させる。この際、エビタキシャルシリコン層とSOI領域の境界にファセットと空洞を形成し、このファセットと空洞を利用して、図18(b)に示すように分離用絶縁物層13の底面とエビタキシャルシリコン層5の側面とのなす角を鈍角19A、または図18(c)に示すように分離用絶縁物層13の底面における

エビタキシャルシリコン層5との接合部近傍を曲面19Bを持ってなめらかに接合するようにしている。

【0053】すなわち、まず、シリコン基板1上にBOX層となる酸化物層2を形成し、この酸化物層2上にシリコン層3を形成してSOIウェーハを形成する。あるいは、張り合わせ法により、シリコン基板1、BOX層2、シリコン層3を積層してSOIウェーハを形成する。

【0054】次に、図19に示すように、上記SOIウェーハにおける非SOI領域のシリコン層3をRIE等の異方性エッチングにより除去した後、BOX層2の一部を溶液による等方性エッチングで除去する。上記BOX層2の一部の除去には、等方性エッチングに代えてRIE等の異方性エッチングを用いても良い。

【0055】その後、上記シリコン層3を覆うように、窒化シリコン等からなる保護膜4を形成する。ここでは保護膜4に窒化シリコンを用いているが、酸化シリコンでも同様である。

【0056】次に、非SOI領域上に残存されているBOX層2の一部をエッチングして除去する（図20参照）。なお、このエッチングにはイオンによるエッチ

グではなく、溶液などを用いたウェットエッチングを用いている。ウェットエッチングを用いることにより、シリコン基板1の非SOI領域の表面にイオンによるダメージが入るのを防止することができる。また、上記第2の実施の形態と同様にエッチング時間を第1の実施の形態より長くし、横方向のエッチングを進行させる。

【0057】引き続き、図21に示すように、非SOI領域のシリコン基板1上にエピタキシャルシリコン層5を形成する。SOI領域上には保護膜4が形成されているので、エピタキシャルシリコン層5は形成されない。この際、エピタキシャルシリコン層5の成長端ではファセット10が形成される。また、保護膜4の側壁の内側に形成されるファセット部分は空洞11として残る。勿論、第1、第2の実施の形態と同様に、エピタキシャル成長の時間を調節することにより、エピタキシャルシリコン層5の表面の高さをSOI領域の表面と同じにしたり、違う高さにしたり、任意に調節できる。よって、エピタキシャルシリコン層5の表面の高さは、必要に応じて自由に設定すれば良い。

【0058】その後、図22に示すように、上記保護膜4上及びエピタキシャルシリコン層5上にマスク材6を堆積形成する。本実施の形態においては、上記マスク材6には窒化シリコン層を用いており、上記保護膜4と一体化して表現している。

【0059】次に、STIを形成する領域以外をフォトマスク18で覆い(図23参照)、まず窒化シリコン層6の一部を除去する(図24参照)。

【0060】図25に示すように、素子分離用のトレンチ12を形成するために、SOI領域と非SOI領域との境界近傍の保護膜4(SiN)、シリコン層3、エピタキシャルシリコン層5(Si)及びBOX層2(SiO₂)をRIE等の方法でドライエッチングする。このエッチングには、SiN、SiO₂及びSiが実質的に等しいレートでエッチングできる条件を用いた。トレンチ12の深さはエッチング時間により変わるが、いずれの深さの場合でも、ファセット10と空洞11によって少なくともトレンチ12の非SOI領域側では、90°以上の角度(鈍角19A)で底面と側面が接合しているようなトレンチ12を形成することができる。エッチングの条件によっては、トレンチ12の底面における非SOI領域の接合部近傍が曲面19Bになる。上記トレンチ12は、少なくともBOX層2に達する深さであれば良く、シリコン基板1中に形成しても良い。

【0061】次に、図26に示すように、上記トレンチ12を分離用絶縁物層13で埋め込んでSTI構造の素子分離領域を形成する。

【0062】その後、上記シリコン層3及びエピタキシャルシリコン層5上のマスク材6を除去し、周知の工程により上記シリコン層3中にロジック回路を構成するMOSFET QA1、QA2、…、上記エピタキシャル

シリコン層5中にはDRAMのメモセルやセンスアンプ回路を構成するMOSFET QB1、QB2、…等の素子を形成し、図18に示したような半導体装置を形成する。

【0063】上記第1及び第2の実施の形態で説明したように、上記MOSFET QA1、QA2、…とMOSFET QB1、QB2、…は、別の工程で形成しても良いし、一部または全部の工程を共通に形成しても良い。

【0064】上記のような製造方法によれば、ファセット10と空洞11を利用してSTI素子分離膜13の下端とエピタキシャルシリコン層5をなめらかに接合できるので、酸化膜とシリコンとの境界部への応力集中によりシリコンエピタキシャル層5中に結晶欠陥が入るのを抑制できる。この結果、非SOI領域に結晶欠陥が入り難いので、高品質な部分SOIウェーハの製造方法を提供できる。しかも、ボディ電位を制御する必要がないので、セル面積やセンスアンプ部の面積などが増大することはない。よって、部分SOIウェーハを用いた時に、高集積性を損なうことなく高速且つ高性能な半導体装置の製造方法を提供できる。

【0065】なお、上記第2、第3の実施の形態では、トレンチ12を分離用絶縁物層13で埋め込んでSTI構造の素子分離領域を形成する際に、空洞11を残さないようにしたが、図27及び図28に示すように、分離用絶縁物層13の下部に空洞11が残っていても酸化膜とシリコンとの間の応力を緩和でき、同様な作用効果が得られる。

【0066】図27は、この発明の第2の実施の形態に係る半導体装置の変形例について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図である。図示する如く、分離用絶縁物層13の下部に空洞11が残存されている。

【0067】図28は、この発明の第3の実施の形態に係る半導体装置の変形例について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図である。図示する如く、分離用絶縁物層13の下部に空洞11が残存されている。

【0068】また、上述した各実施の形態では、非SOI領域のシリコン基板1上にエピタキシャルシリコン層5を形成し、このエピタキシャルシリコン層5中にMOSFETなどの素子を形成したが、バルク、すなわちシリコン基板1中に素子を形成しても良い。

【0069】以上第1乃至第3の実施の形態とその変形例を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実

施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0070】

【発明の効果】以上説明したように、この発明によれば、非SOI領域に結晶欠陥が入り難い高品質な部分SOIウェーハの製造方法が得られる。

【0071】また、部分SOIウェーハを用いた時に、高集積性を損なうことなく高速且つ高性能な半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図。

【図2】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図3】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図4】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図5】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第4の製造工程を示す断面図。

【図6】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第5の製造工程を示す断面図。

【図7】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第6の製造工程を示す断面図。

【図8】この発明の第1の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第7の製造工程を示す断面図。

【図9】この発明の第2の実施の形態に係る半導体装置について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図。

【図10】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図11】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図12】この発明の第2の実施の形態に係る部分SOI

Iウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図13】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第4の製造工程を示す断面図。

【図14】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第5の製造工程を示す断面図。

【図15】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第6の製造工程を示す断面図。

【図16】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第7の製造工程を示す断面図。

【図17】この発明の第2の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第8の製造工程を示す断面図。

【図18】この発明の第3の実施の形態に係る半導体装置について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図。

【図19】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図20】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図21】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図22】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第4の製造工程を示す断面図。

【図23】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第5の製造工程を示す断面図。

【図24】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第6の製造工程を示す断面図。

【図25】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第7の製造工程を示す断面図。

【図26】この発明の第3の実施の形態に係る部分SOIウェーハの製造方法及び半導体装置の製造方法について説明するためのもので、第8の製造工程を示す断面図。

【図27】この発明の第2の実施の形態に係る半導体装置の変形例について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図。

【図28】この発明の第3の実施の形態に係る半導体装置の変形例について説明するためのもので、SOI領域と非SOI領域との境界のSTI領域を示す断面構成図。

【符号の説明】

1…シリコン基板

2…BOX層

*

* 3…シリコン層

4…保護膜（窒化シリコン層）

5…エピタキシャルシリコン層

6…マスク材（窒化シリコン層）

10…ファセット

11…空洞

12…素子分離用のトレンチ

13…分離用絶縁物層

14…層間絶縁膜

10 15A-1, 15A-2, …, 15B-1, 15B-2, ……コンタクトホール

16A-1, 16A-2, …, 16B-1, 16B-2, ……配線層

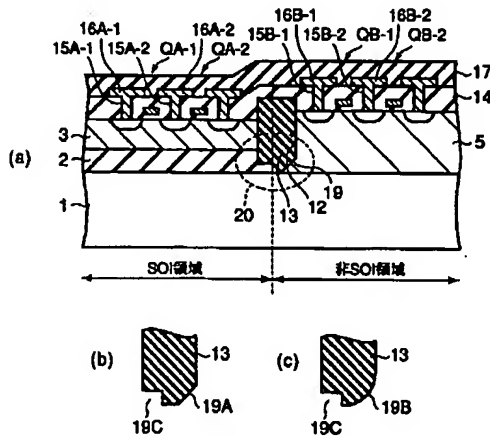
17…表面保護膜

18…フォトマスク

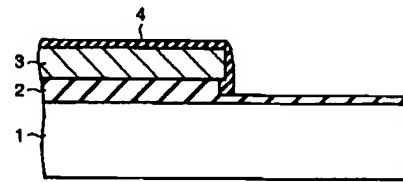
19…切子面

QA1, QA2, …, QB1, QB2, ……MOSFET

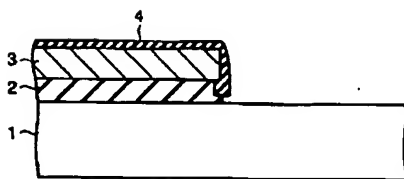
【図1】



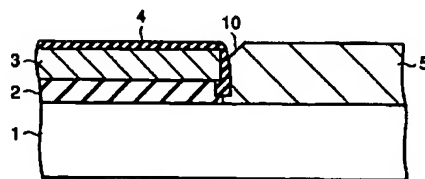
【図2】



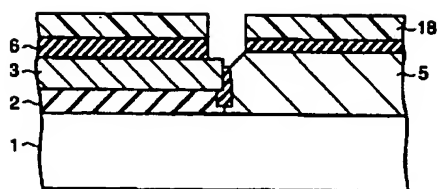
【図3】



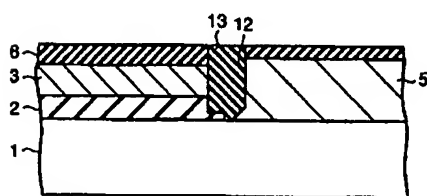
【図4】



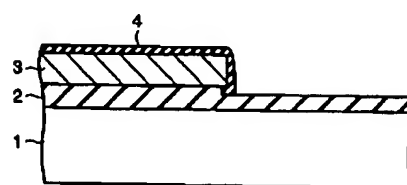
【圖6】



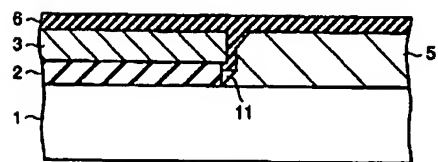
【图8】



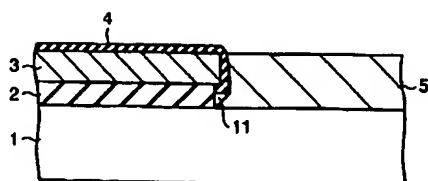
【例 10】



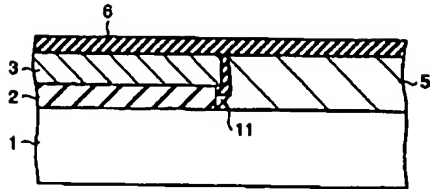
【圖22】



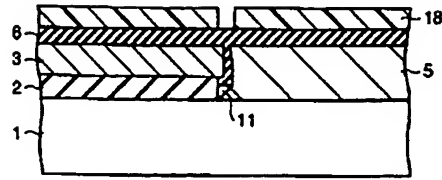
【圖 12】



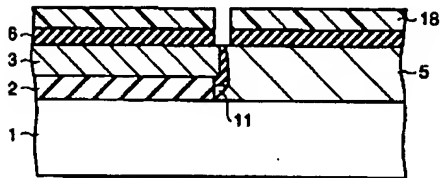
【図13】



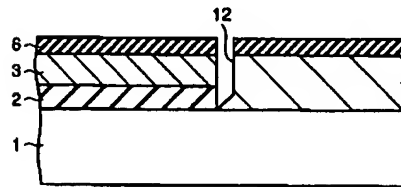
【図14】



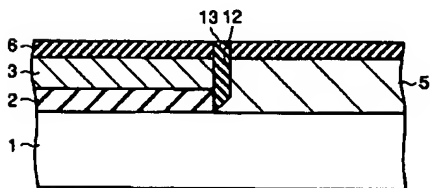
【図15】



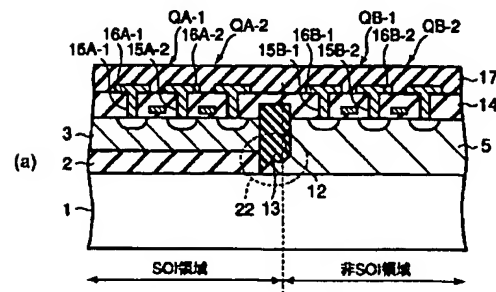
【図16】



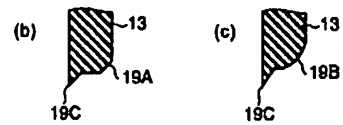
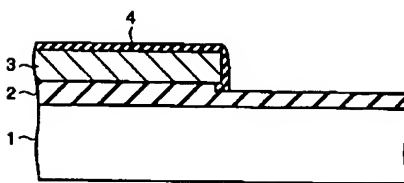
【図17】



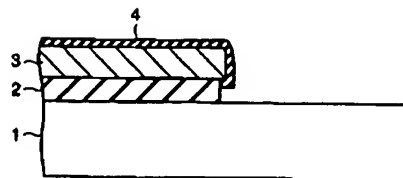
【図18】



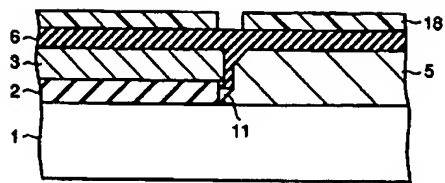
【図19】



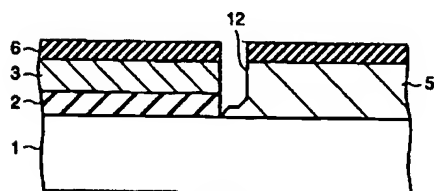
【図20】



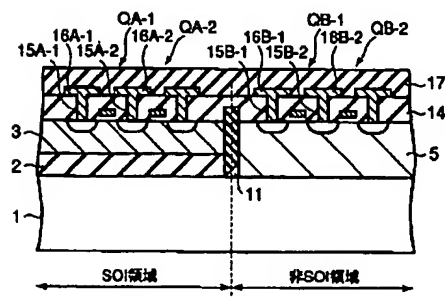
【图23】



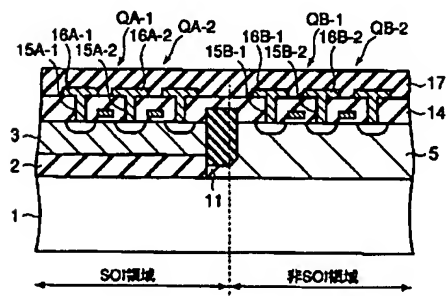
【图25】



【圖27】



【圖28】



テーマード (参考)

D

102A

27/10

671C

(72)発明者 佐藤 力

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 水島 一郎

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 藤井 修

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム(参考) 5F032 AA06 AA09 AA37 AA66 AA82

AC02 CA17 DA12 DA23 DA24

DA25 DA26 DA71

5F048 AA00 AA01 AA07 AB01 AB03

AC01 BA09 BG14

5F083 GA01 GA09 GA27 HA01 HA02

PR03 PR05 PR25 ZA03 ZA12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.